

(11)特許出願公開番号

特開平5-334888

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
G 0 6 F 15/78	5 1 0 K	7323—5L		
		6741—5L	G 1 1 C 17/ 00	3 0 9 E

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号 特願平4-140580

(22)出願日 平成4年(1992)6月1日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 野田 潤一郎

神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内

(72)発明者 藤本 卓也

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

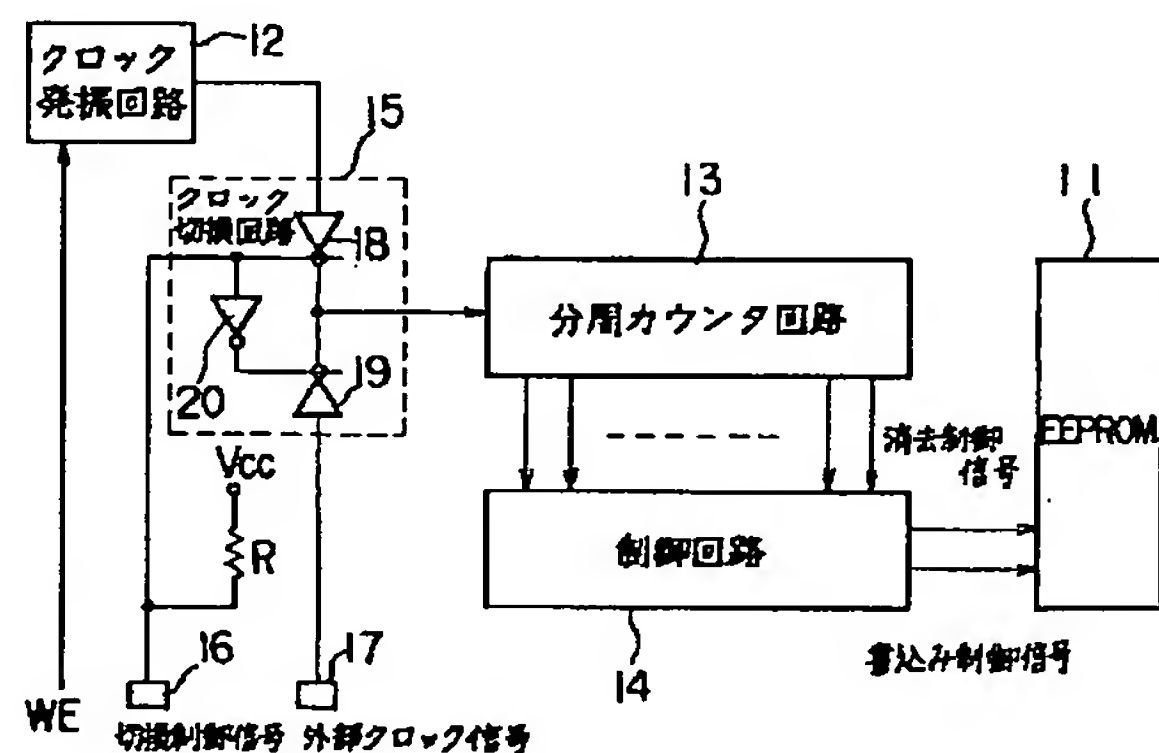
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路

(57) 【要約】

【目的】LSIに内蔵するEEPROMのプログラム期間の変化に対する特性や信頼性のマージンを評価する際に、テスト時間の短縮化、テストコストの低減化を図る。

【構成】EEPROM 11を内蔵し、そのプログラム期間を設定すると共にプログラムを実行する機能を有するLSIにおいて、クロック発振回路12と、クロック信号を分周する分周カウンタ回路13と、分周信号をデコードしてEEPROMの消去制御信号および書込み制御信号を生成する制御回路14と、分周カウンタ回路の入力側あるいは中間段あるいは出力側に挿入され、クロック切換制御信号に基づいて、チップ内部で生成される内部クロック信号とチップ外部から供給される外部クロック信号とを選択的に切り換えて出力するクロック切換回路15とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 EEPROMと、

クロック信号を発生するクロック発振回路と、
クロック信号を受けて分周する分周カウンタ回路と、
この分周カウンタ回路の出力側に接続され、分周信号をデコードして前記EEPROMの消去制御信号および書込み制御信号を生成する制御回路と、
前記分周カウンタ回路の入力側あるいは中間段あるいは出力側に挿入され、クロック切換制御信号に基づいて、チップ内部で生成される内部クロック信号と集積回路チップ外部から供給される外部クロック信号とを選択的に切り換えて出力するクロック切換回路とを具備することを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、
前記クロック切換回路は、通常使用時は前記内部クロック信号を選択し、前記EEPROMの評価テスト時には前記外部内部クロック信号を選択することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に係り、特にプログラム可能な不揮発性メモリを内蔵し、内部でメモリのプログラム期間を設定すると共にプログラムを実行する機能を有する大規模集積回路(LSI)に関する。

【0002】

【従来の技術】図8は、電氣的に消去・書込み可能な不揮発性メモリ(EEPROM)を内蔵し、内部でメモリのプログラム期間を設定すると共にプログラムを実行する機能を有する従来のLSIの一部のブロック構成を示している。

【0003】このLSIにおいて、81はEEPROM、82はチップ外部から書込みイネーブル信号WEを受けてクロック信号を発生するクロック発振回路、83は上記クロック信号を受けて分周する分周カウンタ回路、84は上記分周カウンタ回路の分周出力信号を受けてデコードし、消去制御信号および書込み制御信号を生成して前記EEPROM81に供給する制御回路である。図9は、図8の回路の動作例を示すタイミング波形図である。次に、図8の回路の動作例について図9を参照しながら説明する。

【0004】クロック発振回路82がWE信号を受けてクロック信号を発生すると、クロック信号は分周カウンタ回路83で分周され、分周出力が制御回路84でデコードされて消去制御信号および書込み制御信号が生成される。そして、この消去制御信号および書込み制御信号により、EEPROM81の消去期間および書込み期間が設定される。つまり、EEPROM81のプログラム期間(消去期間および書込み期間)は、クロック発振回

路82の出力周波数および分周カウンタ回路83の分周段数によって決定される。

【0005】このような構成を採用することにより、EEPROM81のプログラム期間を変化させ、EEPROMセルの書込み特性をテストすることが可能になる。この場合、EEPROM81の仕様上の最短プログラム時間でプログラムを行う最悪プログラム条件の下でEEPROM81の信頼性評価も行うことが可能になる。

【0006】ところで、前記したようにEEPROM81のプログラム期間がクロック発振回路82の出力周波数および分周カウンタ回路83の分周段数によって決定されると、LSIの製造プロセスのばらつきにより、製造されたLSI毎にEEPROM81のプログラム期間が異なる。また、LSIの電源電圧、周囲温度などの使用環境によっても、前記EEPROM81のプログラム期間が変化する。そこで、上記したようなプログラム期間の変化に対するEEPROMの特性のマージンや信頼性のマージンを評価する必要がある。

【0007】しかし、上記したような評価を行うため、従来は、EEPROMのプログラム期間が異なるLSIを探し出してそれぞれの特性テストを行っているので、非常に多くの手数と時間を要していた。また、前記したように製造されたLSI毎にEEPROMのプログラム期間が異なると、EEPROMの仕様上の最短プログラム時間でプログラムを行うことによってテスト時間の短縮化およびテストコストの低減化を図ることが困難である。

【0008】

【発明が解決しようとする課題】上記したように従来のLSIは、内蔵するEEPROMのプログラム期間の変化に対する特性や信頼性のマージンを評価する際に、非常に多くの手数と時間を要し、テスト時間の短縮化およびテストコストの低減化を図ることが困難であるという問題があった。

【0009】本発明は上記の問題点を解決すべくなされたもので、内蔵するEEPROMのプログラム期間の変化に対する特性や信頼性のマージンを評価する際に、非常に簡単に行うことができ、テスト時間の短縮化およびテストコストの低減化を図ることが容易になる半導体集積回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、EEPROMを内蔵し、そのプログラム期間を設定すると共にプログラムを実行する機能を有する半導体集積回路において、クロック信号を発生するクロック発振回路と、クロック信号を受けて分周する分周カウンタ回路と、この分周カウンタ回路の出力側に接続され、分周信号をデコードして前記EEPROMの消去制御信号および書込み制御信号を生成する制御回路と、前記分周カウンタ回路の入力側あるいは中間段あるいは出力側に挿入され、集積回路

チップ外部から供給されるクロック切換制御信号に基づいて、チップ内部で生成される内部クロック信号とチップ外部から供給される外部クロック信号とを選択的に切り換えて出力するクロック切換回路とを具備することを特徴とする。

【0011】

【作用】通常使用時には、外部クロック信号は供給されないが、クロック切換回路が内部クロック信号を選択し、この内部クロック信号の周波数に依存してEEPROMのプログラム期間が定まり、EEPROMのプログラムが実行される。

【0012】これに対して、プログラム期間の変化に対するEEPROMの特性のマージンや信頼性のマージンを評価する際、チップ外部から外部クロック信号を供給し、この外部クロック信号をクロック切換回路が選択するように制御することにより、EEPROMのプログラム期間を外部クロック信号の周波数に依存させて任意に設定してEEPROMのプログラムを実行することが可能になる。

【0013】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の第1実施例に係るLSIの一部を示している。

【0014】このLSIにおいて、11はEEPROM、12はチップ外部から書込みイネーブル信号WEを受けてクロック信号を発生するクロック発振回路、13はクロック信号を受けて分周する分周カウンタ回路、14は上記分周カウンタ回路13の出力側に接続され、分周信号を受けてデコードし、消去制御信号および書込み制御信号を生成する制御回路である。前記EEPROM11は、上記消去制御信号および書込み制御信号により消去期間および書込み期間が設定され、プログラムが実行されるように構成されている。

【0015】さらに、前記分周カウンタ回路13の入力側にクロック切換回路15が挿入され、このクロック切換回路15にクロック切換制御パッド16および外部クロック供給パッド17が接続されている。上記クロック切換回路15は、LSIチップ外部からクロック切換制御パッド16を介して供給されるクロック切換制御信号に基づいて、チップ内部で生成される内部クロック信号とチップ外部から外部クロック供給パッド17を介して供給される外部クロック信号とを選択的に切り換えて出力するものである。

【0016】上記クロック切換回路15は、クロック発振回路12の出力側に接続された第1のクロックド・インバータ18と、外部クロック供給パッド17に接続された第2のクロックド・インバータ19とを有し、上記2個のクロックド・インバータの各出力端がクロック出力ノードに共通に接続されている。そして、第1のクロックド・インバータ18は、クロック切換制御信号によ

り動作が制御され、第2のクロックド・インバータ19は、クロック切換制御信号がインバータ20により反転された信号により動作が制御される。なお、クロック切換制御パッド16と電源電位(VCC)ノードとの間にはプルアップ用抵抗Rが接続されている。

【0017】上記LSIにおいて、通常使用時には、クロック切換制御信号および外部クロック信号はそれぞれ供給されない。この時、クロック切換制御パッド16がVCC電位(“H”レベル)であり、第1のクロックド・インバータ18は動作可能状態、第2のクロックド・インバータ19の出力はハイインピーダンス状態、クロック切換回路15はクロック発振回路12からの内部クロック信号を選択する状態になっている。

【0018】従って、この状態では、クロック発振回路12がWE信号を受けてクロック信号を発生すると、このクロック信号が分周カウンタ回路13で分周され、分周出力が制御回路14でデコードされて消去制御信号および書込み制御信号が生成され、これによってEEPROM11のプログラムが実行される。つまり、EEPROM11のプログラム期間(消去期間および書込み期間)は、クロック発振回路12の出力周波数および分周カウンタ回路13の分周段数に依存する。

【0019】これに対して、プログラム期間の変化に対するEEPROM11の特性や信頼性のマージンを評価するテストに際しては、接地電位(VSS)のクロック切換制御信号を供給すると共に外部クロック信号を供給する。この時、クロック切換制御パッド16が“L”レベルであり、第2のクロックド・インバータ19は動作可能状態、第1のクロックド・インバータ18の出力はハイインピーダンス状態、クロック切換回路15は外部クロック信号を選択する状態になっている。

【0020】従って、この状態では、外部クロック信号が分周カウンタ回路13で分周され、分周出力が制御回路14でデコードされて消去制御信号および書込み制御信号が生成され、これによってEEPROM11のプログラムが実行される。つまり、EEPROM11のプログラム期間を、外部クロック信号の出力周波数に依存させて任意に設定することが可能になる。図2は、図1中のクロック切換回路15の他の例を示している。

【0021】このクロック切換回路は、図1中のクロック切換回路と比べて、クロックド・インバータ18および19がCMOSトランスファゲート21および22に変更され、このCMOSトランスファゲート21および22が相補的なクロック切換制御信号により選択的にオン状態に制御される点が異なり、その他は同じであるので図1中と同じ符号を付している。図3は、図1中のクロック切換回路15のさらに他の例を示している。

【0022】このクロック切換回路は、クロック発振回路12の出力端に一方の入力端が接続され、クロック切換制御パッド16に他方の入力端が接続された二入力

第1のアンドゲート31と、クロック切換制御パッド16に入力端が接続されたインバータ20と、外部クロック供給パッド17に一方の入力端が接続され、上記インバータ20の出力端に他方の入力端が接続された二入力の第2のアンドゲート32と、上記2個のアンドゲートの各出力端が各入力端に接続された二入力のノアゲート33とからなる。

【0023】上記図2、図3の各クロック切換回路においては、図1中のクロック切換回路15と同様に、クロック切換制御パッド16が“H”レベルの時にはクロック発振回路12からの内部クロック信号を選択する状態になる。これに対して、クロック切換制御パッド16が“L”レベルの時には外部クロック信号を選択する状態になる。

【0024】なお、上記したようなクロック切換回路の各例では、クロック切換制御パッド16を設けたが、評価テストに際して不要な他の信号をクロック切換制御信号として使用することにより、クロック切換制御パッド16を省略するようにしてもよく、その一例を図4に示している。図4は、図1中のクロック切換回路15のさらに他の例を示している。

【0025】このクロック切換回路は、図1中のクロック切換回路と比べて、クロック切換制御パッド16が省略され、一括書込み信号ラッチ回路41の出力がインバータ20に入力すると共に第2のクロックド・インバータ19の動作を制御し、上記インバータ20の出力が第1のクロックド・インバータ18の動作を制御する点が異なり、その他は同じであるので図1中と同じ符号を付している。

【0026】上記ラッチ回路41は、一括書込み信号入力パッド42の入力信号（一括書込み信号ALL）をディセーブル信号入力パッド43の入力信号（ディセーブル信号／DIS）に同期してラッチするものである。図5は、図4の回路の評価テスト時の動作例を示すタイミング波形図である。

【0027】図4の回路において、評価テストに際してALL信号入力を“H”レベルにし、／DIS信号入力を活性レベル“L”にすることにより、ラッチ回路41がALL信号入力をラッチして“H”レベルを出力する。これにより、図1中のクロック切換回路15と同様に、外部クロック信号を選択する状態になる。この外部クロック信号を選択している期間内に、チップイネーブル信号CEおよび書込みイネーブル信号CEが活性化されることにより消去制御信号および書込み制御信号が生成され、EEPROM11のプログラムが実行される。

【0028】これに対して、ALL信号入力を“L”レベルにし、／DIS信号入力を活性レベル“L”にすることにより、ラッチ回路41がALL信号入力をラッチして“L”レベルを出力する。これにより、図1中のクロック切換回路15と同様に、クロック発振回路12か

らの内部クロック信号を選択する状態になる。図6は、本発明の第2実施例に係るLSIの一部を示している。

【0029】このLSIは、図1に示したLSIと比べて、クロック切換回路15の挿入位置が分周カウンタ回路13の中間段に変更されている点が異なり、その他は同じであるので図1中と同じ符号を付している。

【0030】このLSIにおいては、通常使用時には図1のLSIと同様にEEPROM11のプログラムが実行される。これに対して、評価テストに際しては、分周カウンタ回路13の中間段まではクロック発振回路12で生成された内部クロック信号が分周され、分周カウンタ回路13の中間段以降は外部クロック信号が分周される。そして、分周出力から生成される消去制御信号および書込み制御信号によってEEPROM11のプログラムが実行されるので、EEPROM11のプログラム期間を外部クロック信号の出力周波数に依存させて任意に設定することが可能になる。図7は、本発明の第3実施例に係るLSIの一部を示している。

【0031】このLSIは、図1に示したLSIと比べて、クロック切換回路15の挿入位置が分周カウンタ回路13の出力側（例えば分周出力の一部の信号経路）に変更されており、その他は同じであるので図1中と同じ符号を付している。

【0032】このLSIにおいては、通常使用時には図1のLSIと同様にEEPROM11のプログラムが実行される。これに対して、評価テストに際しては、外部クロック信号を含む分周出力から生成される消去制御信号および書込み制御信号によってEEPROM11のプログラムが実行されるので、EEPROM11のプログラム期間を外部クロック信号の出力周波数に依存させて任意に設定することが可能になる。

【0033】

【発明の効果】上述したように本発明のLSIによれば、内蔵するEEPROMのプログラム期間の変化に対する特性や信頼性のマージンを評価する際に、チップ外部から外部クロック信号を供給し、この外部クロック信号をクロック切換回路が選択するように制御することにより、EEPROMのプログラム期間を外部クロック信号の周波数に依存させて任意に設定してEEPROMのプログラムを実行することが可能になる。

【0034】従って、EEPROMの評価テストを非常に簡単に行うことができ、EEPROMの仕様上の最短プログラム時間でプログラムを行うことによってテスト時間の短縮化およびテストコストの低減化を図ることが容易になり、またスベック最悪条件（最短プログラム時間）での選別による信頼性の向上が可能となる。

【0035】また、EEPROMの電圧ストレステスト時に書込み時間を増大させることが可能になり、これにより書込み回数の減少、ストレステストの簡略化を実現できるなどの利点もある。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るLSIの一部を示すブロック図。

【図2】図1中のクロック切換回路の他の例を示す回路図。

【図3】図1中のクロック切換回路のさらに他の例を示す回路図。

【図4】図1中のクロック切換回路のさらに他の例を示す回路図。

【図5】図4中の回路の評価テスト時の動作例を示すタイミング波形図。

【図6】本発明の第2実施例に係るLSIの一部を示す*

*ブロック図。

【図7】本発明の第3実施例に係るLSIを示すブロック図。

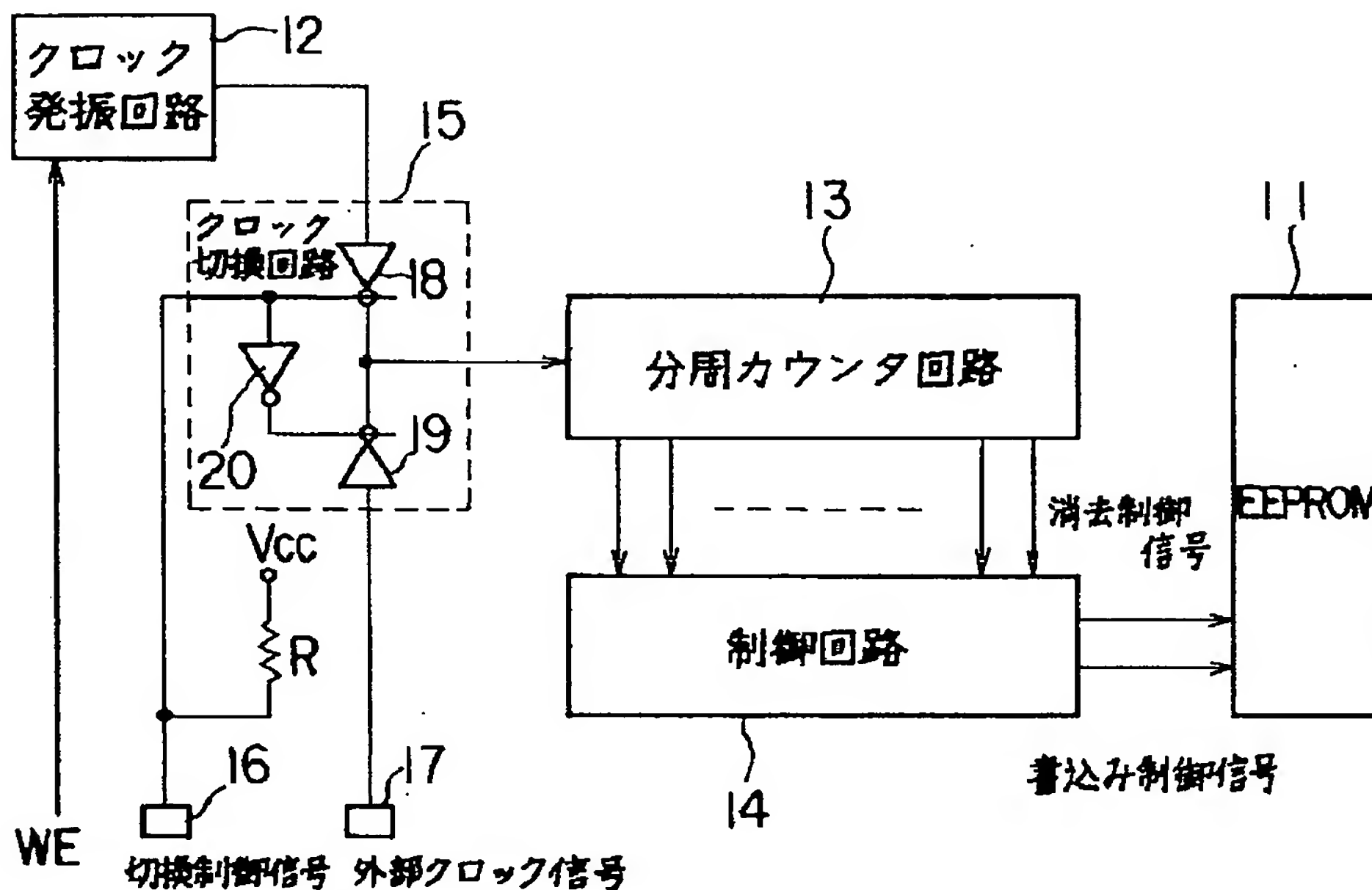
【図8】従来のEEPROMを内蔵するLSIの一部を示すブロック図。

【図9】図8中の各回路の動作例を示すタイミング波形図。

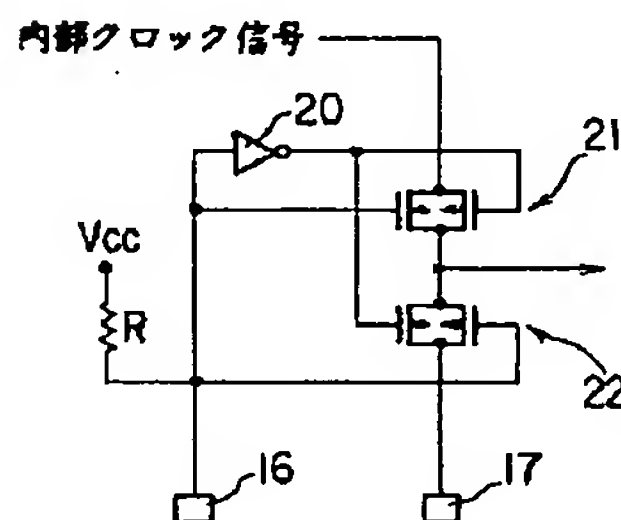
【符号の説明】

11…EEPROM、12…クロック発振回路、13…分周カウンタ回路、14…制御回路、15…クロック切換回路、16…クロック切換制御パッド、17…外部クロック供給パッド。

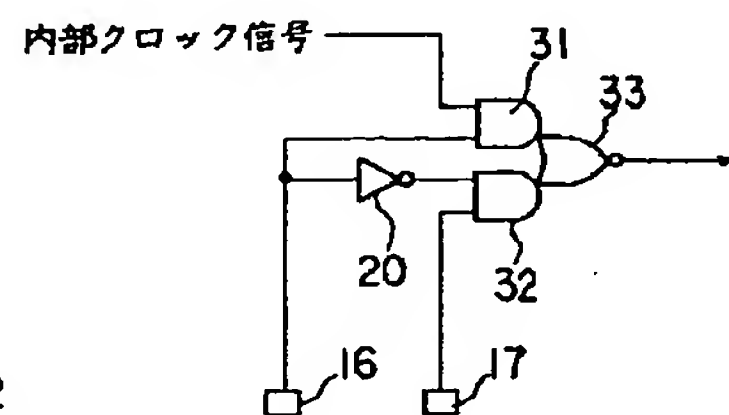
【図1】



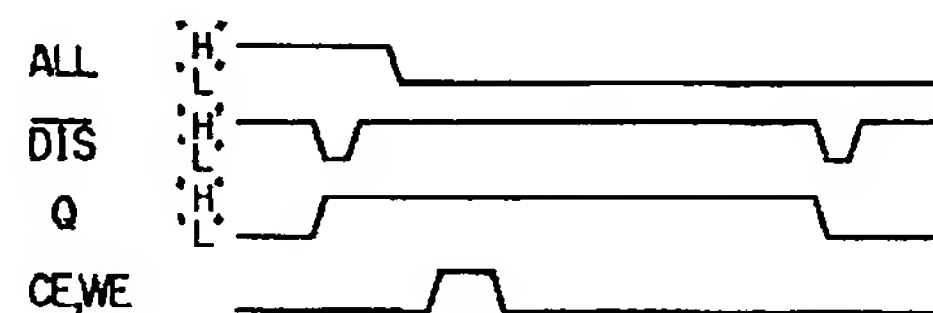
【図2】



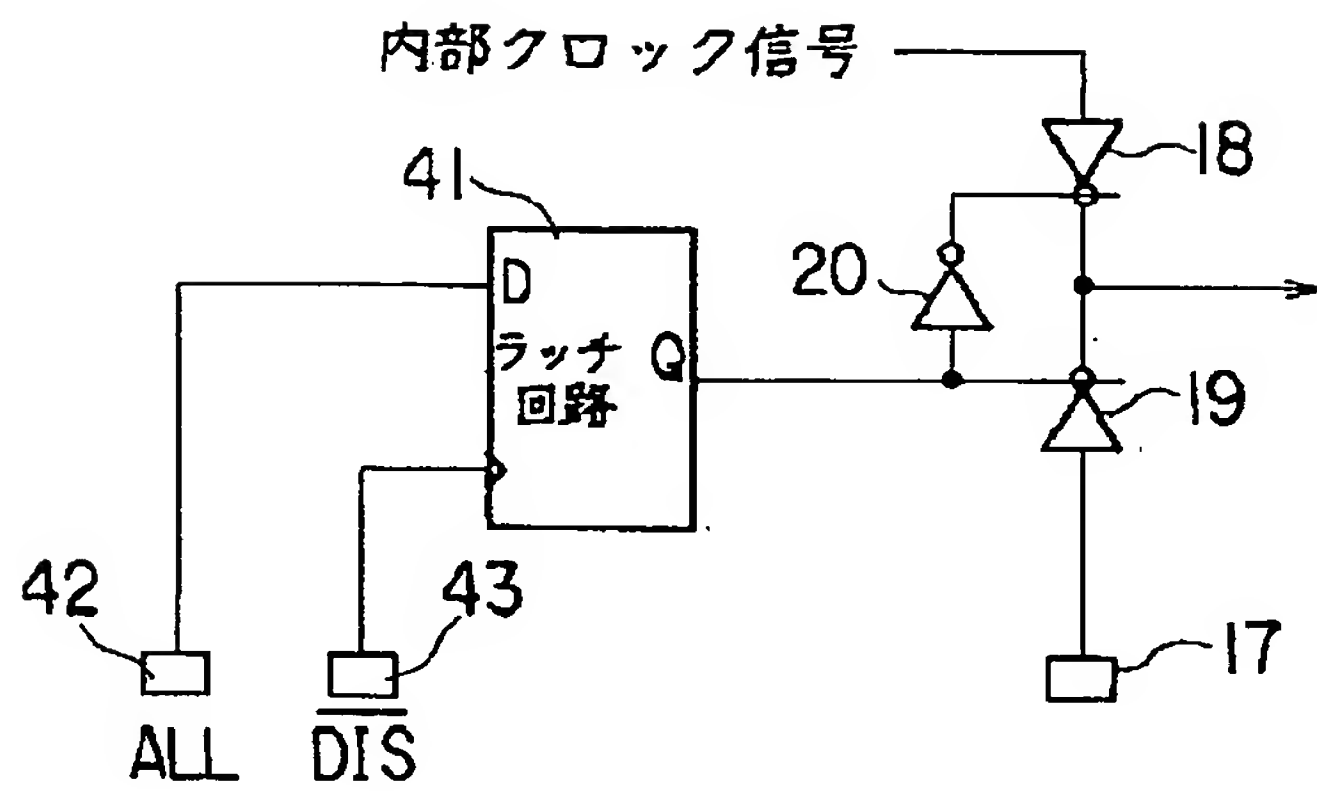
【図3】



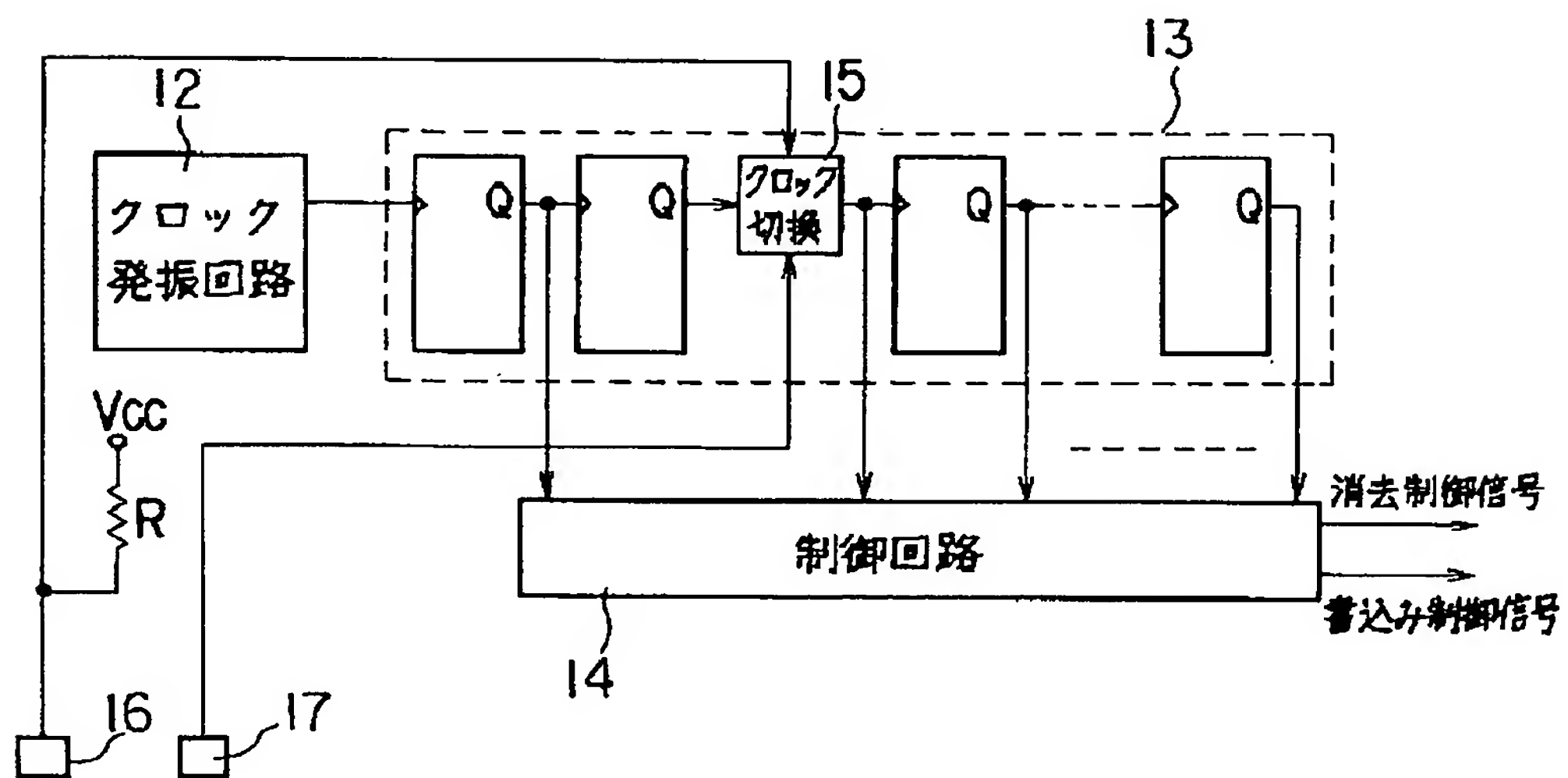
【図5】



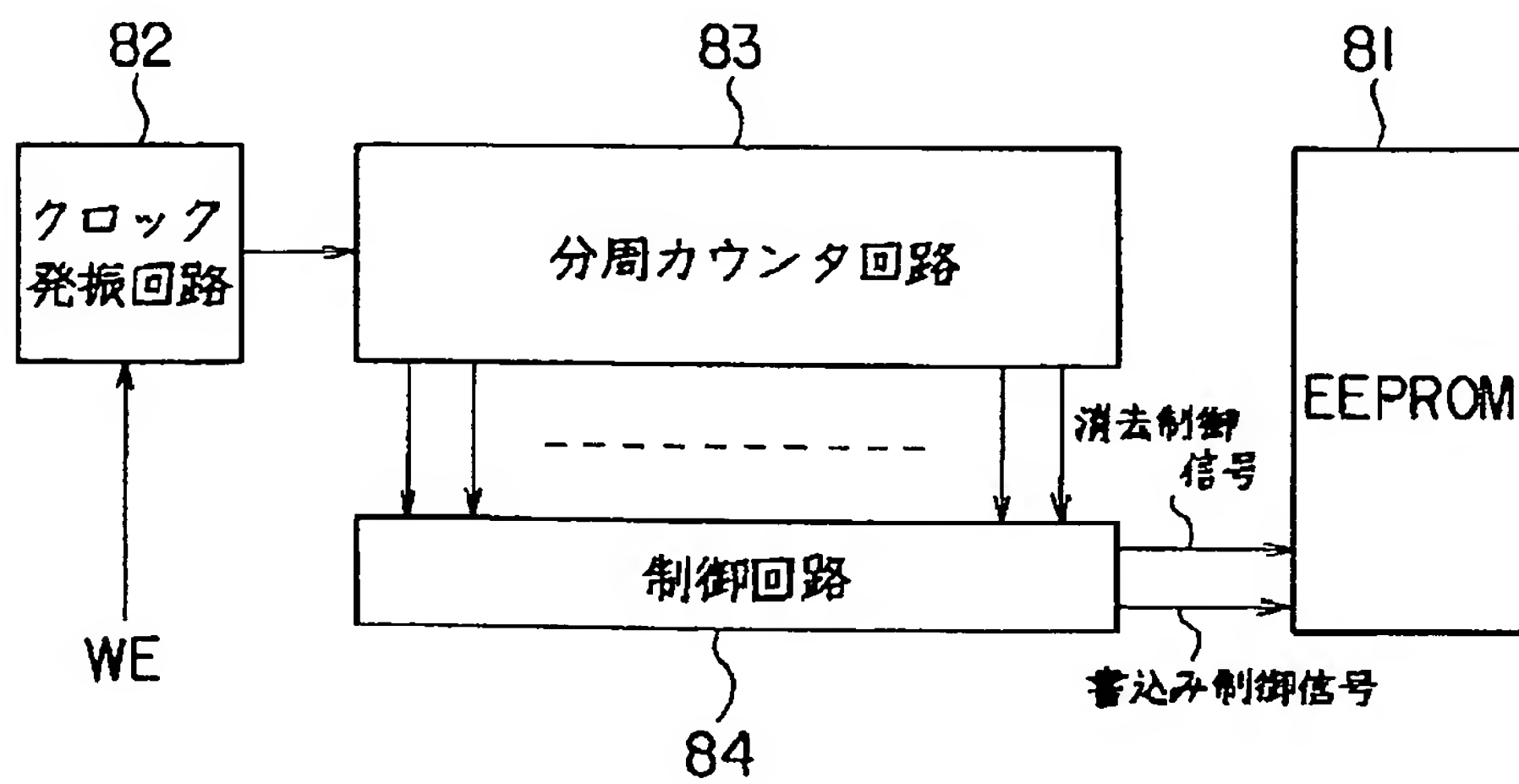
【図4】



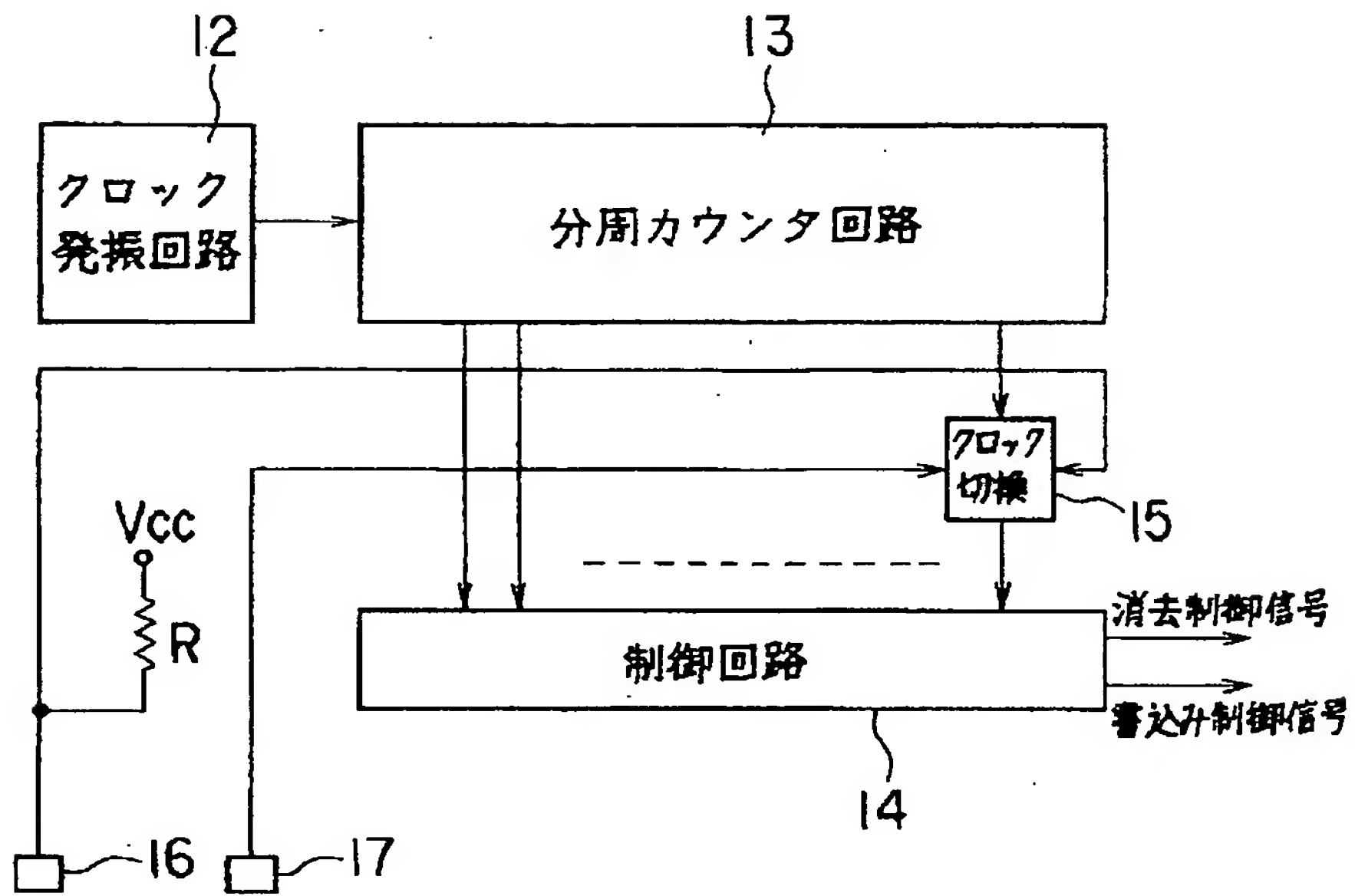
【図6】



【図8】



【図7】



【図9】

